

Attorney Docket No. 5649-1064

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Sung-ryul Kim et al.

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: MEMORY DEVICES WITH SELECTIVELY ENABLED OUTPUT CIRCUITS
FOR TEST MODE AND METHOD OF TESTING THE SAME

Date: August 26, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

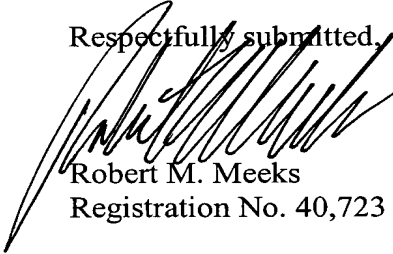
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0051532, filed August 29, 2002.

Respectfully submitted,

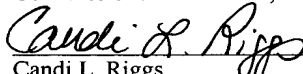


Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV318420721 US
Date of Deposit: August 26, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs
Date of Signature: August 26, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

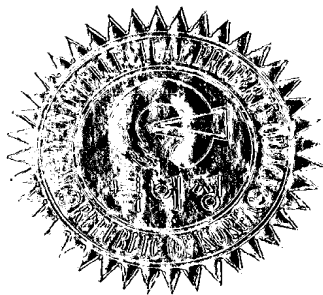
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0051532
Application Number PATENT-2002-0051532

출원년월일 : 2002년 08월 29일
Date of Application AUG 29, 2002

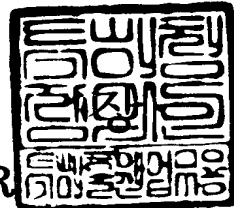
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 10 월 23 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0021
【제출일자】	2002.08.29
【국제특허분류】	G11C
【발명의 명칭】	테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법
【발명의 영문명칭】	A semiconductor memory device having internal circuits for improving test efficiency and the test method thereof
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	김성울
【성명의 영문표기】	KIM, Sung Ryul
【주민등록번호】	710510-1067634
【우편번호】	440-152
【주소】	경기도 수원시 장안구 화서2동 674-1 풍림아파트 211-1802
【국적】	KR
【발명자】	
【성명의 국문표기】	초종복
【성명의 영문표기】	TCHO, Jong Bok
【주민등록번호】	590920-1785830

【우편번호】	449-910
【주소】	경기도 용인시 구성면 보정리 진산마을 삼성5차아파트 511-104
【국적】	KR
【발명자】	
【성명의 국문표기】	정우섭
【성명의 영문표기】	JEONG, Woo Seop
【주민등록번호】	680210-1121225
【우편번호】	449-901
【주소】	경기도 용인시 기흥읍 농서리 719-52
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	29 면 29,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	21 항 781,000 원
【합계】	839,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법이 개시된다. 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치는, 다수개의 제어신호 입력핀들을 구비하는 반도체 메모리 장치에 있어서, 다수개의 입출력핀들, 커맨드 디코더, 데이터 출력 제어 신호 발생부, 및 데이터 출력부 그룹들을 구비하는 것을 특징으로 한다.

다수개의 입출력핀들은 제1 및 제2 입출력핀 그룹을 포함하는 둘 이상의 입출력핀 그룹들로 나뉘어진다. 커맨드 디코더는 다수의 외부 입력신호에 응답하여 소정의 제어명령들을 출력한다. 데이터 출력 제어 신호 발생부는 제어명령에 응답하여 소정의 데이터 출력 제어 신호를 발생한다. 다수의 데이터 출력부 그룹들은 데이터 출력 제어 신호에 응답하여, 제1 입출력핀 그룹의 입출력핀들과 제2 입출력핀 그룹의 입출력핀들로 각각 데이터를 출력하기 위한 제1 및 제2 데이터 출력부 그룹들을 포함한다.

본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치는 테스트 장비에 연결되는 데이터 입출력핀 수가 감소됨으로써 동시에 테스트 가능한 반도체 메모리 장치의 수가 증가 될 수 있는 장점이 있다.

【대표도】

도 4

【명세서】**【발명의 명칭】**

테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법{A semiconductor memory device having internal circuits for improving test efficiency and the test method thereof}

【도면의 간단한 설명】

도 1은 종래의 디디알 에스디램들이 테스트 장비에 연결되는 상태를 나타내는 블록도이다.

도 2는 도 1에 도시된 디디알 에스디램의 내부회로를 나타내는 블록도이다.

도 3은 도 2에 도시된 디디알 에스디램의 내부회로의 주요 입출력 신호들에 대한 타이밍차트이다.

도 4는 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 디디알 에스디램의 내부회로를 나타내는 블록도이다.

도 5는 도 4에 도시된 내부회로의 주요 입출력 신호들에 대한 타이밍차트이다.

도 6은 도 4에 도시된 입력버퍼 제어부의 상세한 블록 회로도이다.

도 7은 도 4에 도시된 제1 및 제2 입력 버퍼들의 상세한 블록 회로도이다.

도 8은 도 4에 도시된 제2 및 제3 출력 제어부들의 상세한 블록 회로도이다.

도 9는 도 4에 도시된 제1 및 제2 DQ 버퍼들과 제1 및 제2 드라이버들의 상세한 블록 회로도이다.

도 10은 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 디디알 에스디램들이 테스트 장비에 연결되는 상태를 나타내는 블록도이다.

도 11은 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 디디알 에스디램의 테스트 과정을 나타내는 플로우차트이다.

도 12는 도 11에 도시된 플로우차트의 테스트 과정을 보다 상세히 나타내는 플로우 차트이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 메모리 장치에 관한 것으로서, 특히, 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법에 관한 것이다.

<14> 일반적으로, 반도체 메모리 장치는 사용자에게 판매되기 전에 공장에서 미리 그 불량 여부가 검사된다. 검사에 소요되는 시간은 제품의 원가를 상승시키는 직접적인 요인으로 작용하고 있다. 따라서, 검사시간을 단축시키기 위한 많은 노력들이 이루어지고 있다.

<15> 그러나, 제품의 검사 항목을 줄이기는 어렵기 때문에 하나의 테스트 장비에서 여러 제품이 동시에 검사되도록 하여 총 검사시간을 줄이는 방법을 사용하고 있다. 결국, 제품의 검사 시간은 하나의 테스트 장비에서 동시에 검사될 수 있는 제품의 수에 반비례한다.

- <16> 반도체 메모리 장치에는 이진 데이터를 입출력하기 위한 다수개의 데이터 입출력핀들과 반도체 메모리 장치의 제어를 위한 다수개의 제어핀들이 구비되어 있다. 이러한 반도체 메모리 장치의 검사를 위해, 테스트 장비의 입출력핀들은 상기 반도체 메모리 장치의 데이터 입출력핀들 및 제어핀들과 연결된다. 여기에서, 상기 제어핀들에 인가되는 제어신호는 각 제품들에 공통적으로 적용되는 신호이므로, 테스트 장비의 제어신호 출력핀에 다수의 제품들의 제어핀들이 공통으로 연결될 수 있다. 따라서, 반도체 메모리 장치의 제어핀의 수는 동시에 검사 가능한 제품의 수에 영향을 미치지 않는다.
- <17> 그러나, 반도체 메모리 장치의 데이터 출력 신호는 각 제품에 따라 다르기 때문에 검사되는 모든 제품의 데이터 입출력핀들이 테스트 장비의 입출력핀에 1:1로 연결되어야 한다. 따라서, 각 제품의 데이터 입출력핀 수에 따라 동시에 검사 가능한 제품의 수가 결정된다.
- <18> 반도체 메모리 장치는 한 번에 입출력이 가능한 이진 데이터의 개수에 따라 X4, X8, X16 제품들로 분류될 수 있다. X4 제품은 4개의 데이터 입출력핀을 구비하여, 한 번에 4개의 데이터를 처리할 수 있다. X8 제품은 8개의 데이터 입출력핀을 구비하여, 한 번에 8개의 데이터를 처리할 수 있다. 또, X16 제품은 16개의 데이터 입출력핀을 구비하여, 한 번에 16개의 데이터를 처리할 수 있다.
- <19> 여기에서, X16 제품의 데이터 입출력핀 수는 X8 제품의 데이터 입출력핀 수의 2배이기 때문에, 하나의 테스트 장비에서 동시에 검사 가능한 X16 제품의 수는 X8 제품의 수에 비하여 반으로 감소된다.
- <20> 일반적인 X16 반도체 메모리 장치가 테스트 장비에 연결되는 상태가 도 1에 도시되어 있다.

- <21> 도 1은 종래의 디디알 에스디램(double data rate synchronous DRAM, 이하, DDR SDRAM이라 칭함.)들이 테스트 장비에 연결되는 상태를 나타내는 블록도이다.
- <22> 도 1에 도시된 것과 같이, 다수개의 X16 DDR SDRAM들(10) 각각의 제어신호 입력핀들(11)은 DRAM 테스트 장비(20)의 제어신호 입력핀들(21) 각각에 공통적으로 연결된다. 또, 상기 X16 DDR SDRAM들(10) 각각의 데이터 입출력핀들(12)은 상기 DRAM 테스트 장비(20)의 데이터 입출력핀들(22) 각각에 1:1로 연결된다.
- <23> 상기 X16 DDR SDRAM(10)은 상기 DRAM 테스트 장비(20)에서 출력되는 제어신호에 의해 상기 데이터 입출력핀들(12)을 통하여 해당 데이터를 상기 DRAM 테스트 장비(20)의 데이터 입출력핀들(22)로 출력하거나 또는 상기 데이터 입출력핀들(22)로부터 출력되는 데이터를 입력한다.
- <24> 상기 DRAM 테스트 장비(20)는 상기 데이터 입출력핀들(22)에 입력되는 데이터들을 검사하여, 해당 DDR SDRAM의 불량 여부를 체크한다.
- <25> 도 1과 같이, 종래에는 X16 DDR SDRAM의 데이터 입출력핀들(12) 모두가 DRAM 테스트 장비(20)의 데이터 입출력핀들(22)에 각각 1:1로 연결되기 때문에, 동시에 검사할 수 있는 X16 DDR SDRAM의 수가 동시에 검사할 수 있는 X8 DDR SDRAM 수에 비하여 극히 한정된다.
- <26> 도 2는 도 1에 도시된 DDR SDRAM의 내부회로를 나타내는 블록도이다.
- <27> 도 2에서, DDR SDRAM의 내부회로(30)는 내부회로 결정부(31), 커맨드 디코더(32), 제어신호 발생부(33), 제1 및 제2 입력 버퍼(34, 35), DQ 버퍼 제어부(36), 제1 및 제2 기입 제어부(37, 38), 복수의 DQ 버퍼들(39) 및 복수의 드라이버들(40)을 구비한다.

- <28> 상기 내부회로 결정부(31)는 소정의 제어신호(PINOUT)를 출력하여 DDR SDRAM의 입출력 데이터핀 수와 그에 따른 내부회로를 결정한다. 상기 커맨드 디코더(32)는 외부로부터 입력되는 제어신호들(C0, C1, ... CX)에 응답하여 복수의 제어명령들을 출력한다.
- <29> 상기 제어신호 발생부(33)는 상기 커맨드 디코더(32)로부터 출력되는 데이터 기입 명령(WRITE)에 응답하여 제어신호(PBUFEN)를 활성화시켜 출력한다. 상기 제어신호(PBUFEN)는 상기 제1 및 상기 제2 입력 버퍼(34, 35)를 턴 온 또는 턴 오프시키기 위한 신호이다.
- <30> 상기 제1 및 상기 제2 입력 버퍼(34, 35)는 상기 제어신호(PBUFEN)가 활성화됨에 따라 턴 온된다. 상기 제1 및 상기 제2 입력 버퍼(34, 35)는 외부로부터 입력되는 기입 금지 신호(UDM, LDM)에 응답하여, 각각 제어신호(UDMT, LDMT)를 활성화시킨다. 상기 제어신호(UDMT, LDMT)에 의해 상기 제1 및 상기 제2 기입 제어부(37, 38)가 동작된다.
- <31> 상기 제1 및 상기 제2 기입 제어부(37, 38)는 각각 8개씩의 데이터 입출력핀들(12)에 입력되는 데이터의 기입 동작을 제어한다. 좀 더 상세히 설명하면, 상기 제1 기입 제어부(37)는 상기 제어신호(UDMT)가 비활성 상태일 때, 상기 제1 기입 제어부(37)에 의해 제어되는 8개의 데이터 입출력핀들(12)로 입력되는 데이터가 메모리셀(미도시)에 기입되지 못하게 한다. 또, 상기 제어신호(LDMT)가 비활성 상태일 때, 상기 제2 기입 제어부(38)는 상기 제2 기입 제어부(38)에 의해 제어되는 8개의 데이터 입출력핀들(12)로 입력되는 데이터가 메모리셀에 기입되지 못하게 한다.
- <32> 여기에서, 상기 제1 및 상기 제2 입력 버퍼(34, 35)와, 상기 제1 및 상기 제2 기입 제어부(37, 38) 및 상기 제어신호 발생부(33)는 DDR SDRAM의 테스트 동작에서는 사용되지 않고, DDR SDRAM의 데이터 기입(WRITE) 동작에서 사용된다. .

- <33> 상기 DQ 버퍼 제어부(36)는 상기 커맨드 디코더(32)로부터 출력되는 데이터 독출 명령(READ)에 응답하여 제어신호(PTRST)를 출력한다. 상기 제어신호(PTRST)는 상기 데이터 독출 명령(READ)에 응답하여 인에이블되고 소정 시간이 지나면 디세이블되는 신호이다. 상기 제어신호(PTRST)가 인에이블되면, 상기 데이터 입출력핀들(12)로부터 데이터가 출력된다.
- <34> 상기 복수의 DQ 버퍼들(39)은 상기 복수의 드라이버들(40)을 통하여 상기 데이터 입출력핀들(12)에 각각 연결된다. 상기 복수의 DQ 버퍼들(39) 각각은 상기 제어신호(PINOUT)에 의해 온 오프된다. 결국, 상기 제어신호(PINOUT)에 의해 데이터의 입출력에 사용될 DQ 버퍼(39)의 수가 결정되어, 데이터 입출력핀(12) 수가 결정된다.
- <35> 또, 상기 복수의 DQ 버퍼들(39) 각각은 상기 제어신호(PTRST)가 인에이블되면 메모리 셀의 데이터들(D00, D01, D03, ... D015)을 외부클럭 신호에 동기시켜 내부신호를 발생한다.
- <36> 상기 복수의 드라이버들(40) 각각은 상기 내부신호들을 수신하여 상기 데이터 입출력핀들(12)을 통하여 데이터들(DQ0, DQ1, DQ3, ... DQ15)로 출력한다.
- <37> 상기 복수의 DQ 버퍼들(39) 및 상기 복수의 드라이버들(40)은 상기 제어신호(PTRST)가 디세이블되면 하이 임피던스 상태(high impedance state)로 되어 상기 데이터들(DQ0, DQ1, DQ3, ... DQ15)을 출력하지 않는다.
- <38> 한편, 상기 데이터들(D00, D01, D03, ... D015)이 외부의 큰 로드 캐패시터(load capacitor)에 고속으로 출력되도록 하기 위해, 상기 복수의 드라이버들(40)이 상기 데이터들(D00, D01, D03, ... D015)의 전류량을 증가시킨다.

- <39> 상기 복수의 드라이버들(40)은 상기 데이터들(D00, D01, D03,...D015)을 상기 데이터 입출력핀들(12)을 통하여 데이터들(DQ0, DQ1, DQ3,...DQ15)로 출력한다.
- <40> 도 3은 도 2에 도시된 DDR SDRAM의 내부회로의 주요 입출력 신호들에 대한 타이밍 차트로서, DDR SDRAM의 테스트 동작에서의 타이밍차트를 나타낸다.
- <41> 도 3에 도시된 것과 같이, 테스트 모드에서 상기 커맨드 디코더(32)가 클럭신호 (CLK)에 동기하여 데이터 독출명령(READ)을 출력하면, 상기 DQ 버퍼 제어부(36)는 상기 데이터 독출명령(READ)에 응답하여 제어신호(PTRST)를 인에이블 시킨다.
- <42> 상기 제어신호(PTRST)가 인에이블됨에 따라, 상기 DQ 버퍼들(39)이 턴 온되어 상기 드라이버들(40)을 제어하고, 상기 드라이버들(40)을 통하여 데이터들(DQ0, DQ1,...DQ15)이 출력된다.
- <43> 여기에서, 상기 제어신호 발생부(33)와 상기 제1 및 상기 제2 입력 버퍼(34, 35)는 DDR SDRAM의 테스트 모드에서는 사용되지 않기 때문에, 상기 제어신호(PBUFEN)는 비활성 상태이다.
- <44> 또, 상기 기입금지 신호(UDM, LDM)가 비활성 상태이므로, 상기 제어신호들(UDMT, LDMT)도 비활성 상태이다.
- <45> 상술한 것과 같이, 종래의 DDR SDRAM은 데이터 입출력핀들을 테스트 장비의 데이터 입출력핀들과 각각 1 대 1로 연결하여 사용하기 때문에, 동시에 검사할 수 있는 제품의 수가 한정된다.

<46> 따라서, 하나의 테스트 장비로 동시에 검사 가능할 수 있는 반도체 메모리 장치의 수를 증가시키기 위해서는 반도체 메모리 장치의 데이터 입출력핀 수를 감소시킬 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<47> 본 발명이 이루고자하는 기술적 과제는, 테스트 장비에 연결되는 반도체 메모리 장치의 데이터 입출력핀 수가 감소됨으로써 동시에 테스트 가능한 반도체 메모리 장치의 수가 증가 될 수 있는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<48> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치는, 다수개의 제어신호 입력핀들을 구비하는 반도체 메모리 장치에 있어서, 다수개의 입출력핀들, 커맨드 디코더, 데이터 출력 제어 신호 발생부, 및 데이터 출력부 그룹들을 구비하는 것을 특징으로 한다.

<49> 다수개의 입출력핀들은 제1 및 제2 입출력핀 그룹을 포함하는 둘 이상의 입출력핀 그룹들로 나뉘어진다. 커맨드 디코더는 다수의 외부 입력신호에 응답하여 소정의 제어명령들을 출력한다. 데이터 출력 제어 신호 발생부는 제어명령에 응답하여 소정의 데이터 출력 제어 신호를 발생한다. 다수의 데이터 출력부 그룹들은 데이터 출력 제어 신호에 응답하여, 제1 입출력핀 그룹의 입출력핀들과 제2 입출력핀 그룹의 입출력핀들로 각각 데이터를 출력하기 위한 제1 및 제2 데이터 출력부 그룹들을 포함한다.

- <50> 제1 데이터 출력부 그룹의 각 데이터 출력부는 제2 데이터 출력부 그룹이 동작하여 데이터를 출력할 때에는 데이터 출력 동작을 하지 않는다.
- <51> 제2 데이터 출력부 그룹의 각 데이터 출력부는 제1 데이터 출력부 그룹이 동작하여 데이터를 출력할 때에는 데이터 출력 동작을 하지 않는다.
- <52> 상기 기술적 과제를 달성하기 위한 본 발명의 일실시예에 따른 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치의 테스트 방법은, 다수개의 제어신호 입력핀들, 다수개의 입출력핀들 및 다수개의 입출력핀들 각각에 대응하는 데이터 출력부들을 구비하는 반도체 메모리 장치의 테스트 방법에 있어서,
- <53> (a) 상기 다수개의 입출력 핀들을 제1 및 제2 입출력핀 그룹을 포함하는 둘 이상의 입출력핀 그룹으로 구분하는 단계;
- <54> (b) 상기 제1 입출력핀 그룹의 각 입출력 핀을 상기 제2 입출력핀 그룹의 각 입출력 핀과 1대 1로 전기적으로 연결하는 단계;
- <55> (c) 상기 제1 입출력핀 그룹의 각 입출력핀에 대응하는 상기 데이터 출력부들을 통해 데이터를 독출하는 단계; 및
- <56> (d) 상기 제2 입출력핀 그룹의 각 입출력핀에 대응하는 상기 데이터 출력부들을 통해 데이터를 독출하는 단계를 포함하는 것을 특징으로 한다.
- <57> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 도면에 기재된 내용을 참조하여야 한다.

- <58> 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 각 도면에 제시된 동일한 참조부호는 동일한 부재를 나타낸다.
- <59> 도 4는 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 DDR SDRAM의 내부회로를 나타내는 블록도이다.
- <60> 도 4에 도시된 것과 같이, DDR SDRAM의 내부회로(100)는 커맨드 디코더(110)와, 입력 버퍼 제어부(120)와, 제1 및 제2 입력 버퍼(130, 140)와, 데이터 출력 제어부(150)와, 제1 및 제2 데이터 출력부(160, 170)를 구비한다.
- <61> 또, 상기 내부회로(100)는 내부회로 결정부(31)와, 제1 및 제2 기입 제어부(37, 38)를 더 구비한다.
- <62> 상기 커맨드 디코더(110)에는 외부로부터 제어신호를 입력하기 위한 다수의 제어신호 입력핀들(310)이 구비되어 있다. 상기 커맨드 디코더(110)는 상기 제어신호 입력핀들(310)을 통하여 외부로부터 입력되는 제어신호들(C0, C1,...CX)에 응답하여 복수의 제어명령들을 출력한다. 여기에서, 상기 제어신호들(C0, C1,...CX)은 칩 선택 신호(/CS), 로우 어드레스 스트로브 신호(/RAS), 칼럼 어드레스 스트로브 신호(/CAS) 및 기록 인에이블 신호(/WE)를 포함한다. 상기 복수의 제어명령들은 MRS 명령(MRS), 데이터 독출 명령(READ), 데이터 기입 명령(WRITE)을 포함한다. 상기 MRS 명령(MRS)은 DDR SDRAM을 테스트 모드로 전환하기 위한 제어명령이다.
- <63> 상기 입력 버퍼 제어부(120)는 상기 커맨드 디코더(110)로부터 출력되는 MRS 명령(MRS)에 응답하여 제어신호(PBPUB)를 활성화시킨다. 상기 제어신호(PBPUB)는 상기 제1 및 상기 제2 입력 버퍼(130, 140)를 턴 온 또는 턴 오프시키기 위한 신호이다.

- <64> 상기 제1 및 상기 제2 입력 버퍼(130, 140)는 상기 제어신호(PBPUB)가 활성화됨에 따라 턴 온된다. 상기 제1 및 상기 제2 입력 버퍼(130, 140)에는 외부로부터 기입금지 신호를 입력하기 위한 제어신호 입력핀들(320)이 구비된다.
- <65> 상기 제1 및 상기 제2 입력 버퍼(130, 140)는 상기 제어신호 입력핀들(320)을 통하여 외부로부터 입력되는 제1 및 제2 기입금지 신호(DM1, DM2)에 응답하여, 각각 제1 및 제2 그룹 제어신호(DMT1, DMT2)를 활성화시킨다.
- <66> 상기 데이터 출력 제어부(150)는 제1 출력 제어부(151)와, 제2 출력 제어부(152) 및 제3 출력 제어부(153)를 포함한다.
- <67> 상기 제1 출력 제어부(151)는 상기 커맨드 디코더(110)로부터 출력되는 데이터 독출명령(READ)에 응답하여 제1 출력 제어신호(PTRST)를 출력한다. 상기 제1 출력 제어신호(PTRST)는 상기 데이터 독출 명령(READ)에 응답하여 인에이블되고 소정 시간이 지나면 디세이블되는 신호이다.
- <68> 상기 제2 출력 제어부(152)에는 상기 MRS 명령(MRS)과 상기 제1 그룹 제어신호(DMT1)가 입력되고, 상기 제3 출력 제어부(153)에는 상기 MRS 명령(MRS)과 상기 제2 그룹 제어신호(DMT2)가 입력된다.
- <69> 상기 제2 출력 제어부(152)는 상기 MRS 명령(MRS)이 입력되고, 상기 제1 그룹 제어신호(DMT1)가 활성화됨에 따라 제2 출력 제어신호(RDDM1)를 활성화시킨다.
- <70> 상기 제3 출력 제어부(153)는 상기 MRS 명령(MRS)이 입력되고, 상기 제2 그룹 제어신호(DMT2)가 활성화됨에 따라 제3 출력 제어신호(RDDM2)를 활성화시킨다.

- <71> 상기 제1 데이터 출력부(160)는 다수개의 제1 DQ 버퍼들(161)과 다수개의 드라이버들(162)을 포함하고, 상기 제2 데이터 출력부(170) 역시 다수개의 제2 DQ 버퍼들(171)과 다수개의 드라이버들(172)을 포함한다.
- <72> 또, 상기 제1 데이터 출력부(160)에는 제1 입출력핀 그룹(330)이 연결되고, 상기 제2 데이터 출력부(170)에는 제2 입출력핀 그룹(340)이 연결된다.
- <73> 상기 제1 입출력핀 그룹(330)은 복수개의 제1 데이터 입출력핀들(331)을 포함하고, 상기 제2 입출력핀 그룹(340)은 복수개의 제2 데이터 입출력핀들(341)을 포함한다.
- <74> 상기에서, 테스트시에는 상기 제1 및 상기 제2 입출력핀 그룹(330, 340) 중 어느 한 그룹의 데이터 입출력핀들(331 또는 341)만이 테스트 장비에 연결된다.
- <75> 또, 상기 테스트 장비에 연결되는 그룹의 데이터 입출력핀들과 연결되지 않는 그룹의 데이터 입출력핀들은 상호 도선으로 연결된다.
- <76> 따라서, 데이터 독출 테스트시에는 상기 입출력핀 그룹별로 나누어 데이터 독출 테스트를 반복하고, 데이터 기입 테스트시에는 전체 그룹을 한 번에 데이터 기입한다.
- <77> 상기 제1 DQ 버퍼들(161)은 상기 제1 및 상기 제2 출력 제어신호(PTRST, RDDM1)와, 제1 그룹 내부 데이터(D00~D07) 및 외부클럭 신호를 논리 연산하여 소정의 제어신호들(DOKP, DOKN)(도 9 참조)을 출력한다.
- <78> 상기 제1 드라이버들(162)은 상기 제어신호들(DOKP, DOKN)에 따라 제1 그룹 데이터(DQ0~DQ7)를 출력하거나 또는 하이 임피던스 상태(high impedance state)로 되어, 상기 데이터(DQ0~DQ7)를 출력하지 않는다.

- <79> 여기에서, 상기 하이 임피던스 상태는 검사되는 DDR SDRAM과 테스트 장비가 전기적으로 단절된 상태로서, 드라이버들이 하이 임피던스 상태로 되면, 출력 중인 다른 데이터 입출력편에 영향을 주지 않는다.
- <80> 상기 제2 DQ 버퍼들(171) 역시 상기 제1 및 상기 제3 출력 제어신호(PTRST, RDDM2)와, 제2 그룹 내부 데이터(DQ8~DQ15) 및 외부클럭 신호를 논리 연산하여 소정의 제어신호들(DOKP, DOKN)(도 9 참조)을 출력한다.
- <81> 상기 제2 드라이버들(172)은 상기 제어신호들(DOKP, DOKN)에 따라 제2 그룹 데이터(DQ8~DQ15)를 출력하거나 또는 하이 임피던스 상태(high impedance state)로 되어, 상기 데이터(DQ8~DQ15)를 출력하지 않는다.
- <82> 여기에서, 상기 제1 DQ 버퍼들(161) 및 상기 제1 드라이버들(162)은 상기 제2 출력 제어신호(RDDM1)가 활성상태일 때, 상기 제1 그룹 데이터(DQ0~DQ7)를 출력한다.
- <83> 상기 제2 출력 제어신호(RDDM1)가 비활성 상태로 되면, 상기 제1 출력 제어신호(PTRST)가 활성상태이더라도 상기 제1 DQ 버퍼들(161) 및 상기 제1 드라이버들(162)은 하이 임피던스 상태로 된다.
- <84> 상기 제2 DQ 버퍼들(171) 및 상기 제2 드라이버들(172) 역시 상기 제 3 출력 제어신호(RDDM2)가 활성상태일 때, 상기 제2 그룹 데이터(DQ8~DQ15)를 출력한다.
- <85> 상기 제3 출력 제어신호(RDDM2)가 비활성 상태로 되면, 상기 제1 출력 제어신호(PTRST)가 활성 상태이더라도 상기 제2 DQ 버퍼들(171) 및 상기 제2 드라이버들(172)은 하이 임피던스 상태로 된다.

- <86> 상기 제1 또는 제2 드라이버들(162, 172)은, 상기 제1 또는 상기 제2 그룹 내부 데이터들(D00~D07, D08~D015)이 외부의 큰 로드 캐패시터(load capacitor)(미도시)에 고속으로 출력되도록 하기 위해, 큰 전류 구동 능력을 갖는다.
- <87> 여기에서, DRAM 내부 회로는 아주 작은 전류만을 감당할 수 있기 때문에, DRAM 내부의 데이터가 외부의 큰 로드 캐패시터 출력되기 위해서는 외부로 전송되기 전에 그 전류량이 증가되어야 한다.
- <88> 따라서, 상기 제1 및 제2 드라이버들(162, 172)과 같이 큰 전류 구동 능력을 가진 회로에 의해 DRAM 내부의 데이터는 전류량이 증가되어 출력된다.
- <89> 상기 내부회로 결정부(31)와, 상기 제1 및 상기 제2 기입 제어부들(37, 38)의 구성 및 구체적인 동작은 앞서 설명한 것과 동일하므로 생략하기로 한다.
- <90> 도 4에서는 상기 제1 데이터 출력부(160)와 상기 제2 데이터 출력부(170)만을 예를 들어 설명하였지만, 상기 제1 데이터 출력부(160)는 다수개의 제1 서브 데이터 출력부들을 더 포함할 수 있고, 상기 제2 데이터 출력부(170) 역시 다수개의 제2 서브 데이터 출력부들을 더 포함할 수 있다.
- <91> 이 때, 상기 제2 출력 제어부(152)는 상기 다수개의 제1 서브 데이터 출력부들을 제어하기 위해 다수개의 제2 서브 출력 제어부들을 더 포함할 수 있다.
- <92> 또, 상기 제3 출력 제어부(153) 역시 상기 다수개의 제2 서브 데이터 출력부들을 제어하기 위해 다수개의 제3 서브 출력 제어부들을 더 포함할 수 있다.
- <93> 여기에서, 상기 제1 입력 버퍼(130)는 상기 다수개의 제2 서브 출력 제어부들을 제어하기 위해 다수개의 제2 그룹 제어신호들을 출력할 수 있다. 상기 제2 입력 버퍼(140)

역시 상기 다수개의 제3 서브 출력 제어부들을 제어하기 위해 다수개의 제3 그룹 제어신호들을 출력할 수 있다.

<94> 도 5는 도 4에 도시된 내부회로의 주요 입출력 신호들에 대한 타이밍차트이다.

<95> 도 5에서, 먼저, 테스트 장비에 의해 다수의 외부 입력신호들(/CS, /RAS, /CAS, /WE)이 제어신호 입력핀(310)으로 입력되면, 커맨드 디코더(110)는 DDR SDRAM의 테스트 모드 진입을 위한 MRS 명령(MRS)을 출력한다.

<96> 상기 MRS 명령(MRS)이 출력됨에 따라, 입력 버퍼 제어부(120)는 제어신호(PBPUB)를 활성화시키고, 상기 제어신호(PBPUB)가 활성화됨에 따라 제1 및 제2 입력 버퍼들(130, 140)이 턴 온된다.

<97> 이 후, 테스트 장비에 의해 데이터 독출을 위한 다수의 외부 입력신호(/CS, /RAS, /CAS, /WE)가 입력되면, 상기 커맨드 디코더(110)는 제1 데이터 독출명령(READ)을 출력한다.

<98> 상기 제1 데이터 독출명령(READ)에 따라 제1 출력 제어부(151)는 제1 출력 제어신호(PTRST)를 소정 시간 동안 인에이블시켜 출력한다.

<99> 또, 테스트 장비에 의해 상기 제1 및 상기 제2 입력 버퍼들(130, 140)에 제1 및 제2 기입금지 신호(DM1, DM2)가 입력된다. 상기 제1 및 상기 제2 기입금지 신호(DM1, DM2)는 DDR SDRAM의 데이터 입출력핀들에서 출력되는 데이터를 다수의 그룹으로 분류하여 각 그룹별로 순차적으로 데이터를 독출하기 위해 사용된 제어신호이다.

<100> 따라서, 상기 제1 기입금지 신호(DM1)가 활성화되면 제1 DQ 버퍼들(161) 및 제1 드라이버들(162)에 의해 제1 그룹 데이터(DQ0~DQ7)가 출력되고, 상기 제2 기입금지 신호

(DM2)가 활성화되면 제2 DQ 버퍼들(171) 및 제2 드라이버들(172)에 의해 제2 그룹 데이터(DQ8~DQ15)가 출력된다.

<101> 도 5에서는 상기 데이터(DQ0~DQ7)가 먼저 출력된 후, 상기 데이터(DQ8~DQ15)가 출력되는 것이 도시된다.

<102> 테스트 장비에 의해 상기 제1 기입금지 신호(DM1)가 활성화상태로 되고, 상기 제2 기입금지 신호(DM2)가 비활성상태로 되면, 상기 제1 입력 버퍼(130)는 제1 그룹 제어신호(DMT1)를 활성화시킨다. 이 때, 상기 제2 입력 버퍼(140)는 상기 제2 기입금지 신호(DM2)가 비활성 상태이므로, 상기 제2 그룹 제어신호(DMT2)를 비활성 상태로 출력한다.

<103> 또, 상기 제1 그룹 제어신호(DMT1)가 활성화됨에 따라 제2 출력 제어부(152)는 제2 출력 제어신호(RDDM1)를 활성화시킨다. 상기 제3 출력 제어부(153)는 상기 제2 그룹 제어신호(DMT2)가 비활성 상태이므로, 제3 출력 제어신호(RDDM2)를 비활성 상태로 출력한다.

<104> 제1 DQ 버퍼들(161) 및 제1 드라이버들(162)은 상기 제2 출력 제어신호(RDDM1)가 활성화됨에 따라 데이터(DQ0~DQ7)를 출력한다.

<105> 그러나, 도 5에 도시된 것과 같이, 상기 제2 DQ 버퍼들(171) 및 제2 드라이버들(172)은 상기 제3 출력 제어신호(RDDM2)가 비활성 상태이므로 하이 임피던스 상태로 되어 데이터(DQ8~DQ15)를 출력하지 않는다.

<106> 이 후, 상기 커맨드 디코더(110)가 제2 데이터 독출명령(READ)을 출력하고, 테스트 장비에 의해 비활성 상태의 상기 제1 기입금지 신호(DM1)와 활성화 상태의 상기 제2 기입금지 신호(DM2)가 입력된다.

- <107> 상기 제1 데이터 독출 동작과 마찬가지로, 상기 제2 기입금지 신호(DM2)가 활성화됨에 따라 상기 제2 그룹 제어신호(DMT2) 및 상기 제3 출력 제어신호(RDDM2)가 활성화되어, 상기 제2 DQ 버퍼들(171) 및 상기 제2 드라이버들(172)은 데이터(DQ8~DQ15)를 출력한다.
- <108> 이 때, 상기 제1 DQ 버퍼들(161) 및 제1 드라이버들(162)은 상기 제2 출력 제어신호(RDDM1)가 비활성 상태이므로 하이 임피던스 상태로 되어 데이터(DQ0~DQ7)를 출력하지 않는다.
- <109> 도 6은 도 4에 도시된 입력 버퍼 제어부의 상세한 블록 회로도이다.
- <110> 도 6과 같이, 입력 버퍼 제어부(120)는 제어신호 발생부(121)와 논리회로(122)를 포함한다. 상기 제어신호 발생부(121)의 구성 및 구체적인 동작은 도 1에 도시된 제어신호 발생부(33)와 동일하므로 생략하기로 한다.
- <111> 상기 논리회로(122)는 상기 제어신호 발생부(121)로부터 출력되는 제어신호(PBUFEN)와 상기 커맨드 디코더(110)로부터 출력되는 MRS 명령(MRS)을 논리 연산하여 제어신호(PBPUB)를 출력한다. 상기 논리회로(122)는 바람직하게 NOR 게이트로 실행될 수 있다.
- <112> 여기에서, 상기 논리회로(122)는 상기 제어신호(PBUFEN)가 '하이(high)'이든 '로우(low)'이든 상관없이, 테스트 모드에서 상기 MRS 명령(MRS)이 '하이'이므로, 항상 '로우'의 제어신호(PBPUB)를 출력한다. 따라서, 상기 MRS 명령(MRS)이 입력되면 제1 및 제2 입력 버퍼(130, 140)가 턴 온된다.
- <113> 도 7은 도 4에 도시된 제1 및 제2 입력 버퍼들의 상세한 블록 회로도이다.

- <114> 도 7에 도시된 것과 같이, 제1 및 제2 입력 버퍼들(130, 140)은 전압비교회로(131)와 출력제어회로(132)를 구비한다.
- <115> 상기 전압비교회로(131)는 상기 제어신호(PBPUB)에 응답하여 기준전압(VREF)과 제1 전압 레벨을 갖는 기입금지 신호(DM1 또는 DM2)의 전압레벨들을 비교하여 전위차에 따른 제2 전압 레벨을 갖는 제어신호(DMT1 또는 DMT2)를 노드(NODE1)로 출력한다. 상기 전압비교회로(131)는 바람직하게 차동증폭기로 실행될 수 있다.
- <116> 상기 전압비교회로(131)는 제1 및 제2 피모스 부하 트랜지스터(P1, P2)와, 제1 및 제2 엔모스 차동 트랜지스터(N1, N2)와, 피모스 스위칭 트랜지스터(P3) 및 부하(R)를 구비한다.
- <117> 상기 제1 및 제2 피모스 부하 트랜지스터(P1, P2)는 전류미러를 구성한다.
- <118> 상기 제1 및 제2 엔모스 차동 트랜지스터(N1, N2)는 소정의 기준전압(VREF)과 제1 전압 레벨을 갖는 상기 기입금지 신호(DM1 또는 DM2)를 각각 게이트 입력으로 받아 전압레벨들을 비교하여 상기 노드(NODE1)에 상기 제2 전압 레벨을 갖는 제어신호(DMT1 또는 DMT2)를 출력한다.
- <119> 상기 기준전압(VREF)은 별도의 기준전압 발생회로(미도시)에서 발생하는 신호로서, 일정한 전압레벨을 갖는다.
- <120> 상기 피모스 스위칭 트랜지스터(P3)는 상기 제어신호(PBPUB)에 응답하여 차동증폭기의 동작을 온/오프시킨다. 상기 피모스 스위칭 트랜지스터(P3)는 상기 제1 및 제2 피모스 부하 트랜지스터(P1, P2)의 소스들에 드레인이 연결되고, 내부전압(VDD)에 소스가 연결되며, 상기 제어신호(PBPUB)를 게이트 입력으로 한다.

- <121> 다음으로, 상기 출력제어회로(132)는 상기 전압비교회로(131)가 오프상태일 때, 상기 제어신호(DMT1 또는 DMT2)가 그라운드 레벨로 출력되도록 한다.
- <122> 상기 출력회로(132)는 바람직하게 엔모스 트랜지스터(N3)로 실행될 수 있다. 상기 엔모스 트랜지스터(N3)는 상기 노드(NODE1)에 드레인이 연결되고, 그라운드에 소스가 연결되며, 상기 제어신호(PBPUB)를 게이트 입력으로 한다.
- <123> 여기에서, 상기 제1 입력 버퍼(130)와 상기 제2 입력 버퍼(140)의 차이점은 상기 전압비교회로(131)에 입력되는 기입금지 신호와, 상기 노드(NODE1)로 출력되는 제어신호가 다르다는 것이다.
- <124> 좀 더 상세히 설명하면, 상기 전압비교회로(131)에 입력되는 기입금지 신호가 상기 제1 입력 버퍼(130)인 경우에는 제1 기입금지 신호(DM1)이고, 상기 제2 입력 버퍼(140)인 경우에는 제2 기입금지 신호(DM2)이다.
- <125> 또, 상기 노드(NODE1)로 출력되는 신호가 상기 제1 입력버퍼(130)인 경우에는 제1 그룹 제어신호(DMT1)이고, 상기 제2 입력 버퍼(140)인 경우에는 제2 그룹 제어신호(DMT2)이다.
- <126> 상기와 같이 구성된 상기 제1 입력버퍼(130)의 동작을 살펴보면 다음과 같다.
- <127> 먼저, 상기 입력 버퍼 제어부(120)(도 4 참조)로부터 상기 제어신호(PBPUB)가 "로우"로 출력되면, 상기 피모스 스위칭 트랜지스터(P3)가 턴 온되어 상기 전압비교회로(131)가 턴 온된다. 상기 전압비교회로(131)는 상기 기준전압(VREF)과 제1 전압 레벨을 갖는 상기 제1 기입금지 신호(DM1)의 전압레벨들을 비교하여 상기 노드(NODE1)에 상기 제2 전압 레벨을 갖는 제1 그룹 제어신호(DMT1)를 출력한다.

- <128> 이 때, 상기 출력제어회로(132)는 상기 제어신호(PBPUB)가 "로우"이므로, 턴 오프된다. 반대로, 상기 제어신호(PBPUB)가 "하이"이면 상기 전압비교회로(131)가 턴 오프되고, 상기 출력회로(132)가 턴 온되어 상기 노드(NODE1)는 그라운드 전압 레벨에 가까워진다.
- <129> 도 8은 도 4에 도시된 제2 및 제3 출력 제어부들의 상세한 블록 회로도이다.
- <130> 도 8과 같이, 제2 및 제3 출력 제어부(152, 153)는 NAND 게이트(51)와 인버터들(52, 53)을 구비한다.
- <131> 상기 NAND 게이트(51)는 상기 입력 버퍼(130 또는 140)(도 4 참조)로부터 출력되는 제어신호(DMT1 또는 DMT2)와 MRS 명령(MRS)을 논리 연산하고, 상기 인버터들(52, 53)은 상기 NAND 게이트(51)의 출력신호를 논리 연산하여 제어신호(RDDM1 또는 RDDM2)를 출력한다.
- <132> 여기에서, 상기 제2 출력 제어부(152)와 상기 제3 출력 제어부(153)의 차이점은 상기 NAND 게이트(51)에 입력되는 신호와, 상기 인버터(53)에서 출력되는 신호가 다르다는 것이다.
- <133> 좀 더 상세히 설명하면, 상기 NAND 게이트(51)에 입력되는 신호가 상기 제2 출력 제어부(152)인 경우에는 제1 그룹 제어신호(DMT1)이고, 상기 제3 출력 제어부(153)인 경우에는 제2 그룹 제어신호(DMT2)이다.
- <134> 또, 상기 인버터(53)에서 출력되는 신호가 상기 제2 출력 제어부(152)인 경우에는 제2 출력 제어신호(RDDM1)이고, 상기 제3 출력 제어부(153)인 경우에는 제3 출력 제어신호(RDDM2)이다.

- <135> 도 9는 도 4에 도시된 제1 및 제2 DQ 버퍼들과 제1 및 제2 드라이버들의 상세한 블록 회로도이다.
- <136> 도 9에서, 제1 및 제2 DQ 버퍼들(161, 171)은 제1 논리회로(60), 제2 논리회로(70), 제3 논리회로(80)를 구비한다.
- <137> 상기 제1 논리회로(60)는 제어신호(RDDM1 또는 RDDM2)와 제1 출력 제어신호(PTRST)를 외부 클럭 신호(CLKDQ)와 함께 논리 연산하여 한 쌍의 내부 제어 신호들(TRSTB, TRST)을 출력한다.
- <138> 상기 제1 논리회로(60)는 NAND 게이트(61)와 전송 게이트(62) 및 인버터들(63, 64, 65)을 포함한다. 상기 NAND 게이트(61)는 상기 제어신호(RDDM1 또는 RDDM2)와 상기 제1 출력 제어신호(PTRST)를 논리 연산한다.
- <139> 상기 전송 게이트(62)의 게이트들 각각에는 외부 클럭 신호(CLKDQ) 및 외부 클럭 바 신호(CLKDQB)가 입력된다. 상기 외부 클럭 바 신호(CLKDQB)는 상기 외부 클럭 신호(CLKDQ)가 상기 인버터(63)를 통하여 반전된 신호이다.
- <140> 상기 전송 게이트(62)는 상기 외부 클럭 신호(CLKDQ) 및 상기 외부 클럭 바 신호(CLKDQB)에 의해 턴 온된다.
- <141> 상기 인버터(64)는 상기 전송 게이트(62)를 통하여 상기 NAND 게이트(61)로부터 출력되는 신호를 반전시켜 제1 내부 제어신호(TRST)를 출력한다. 또, 상기 인버터(65)는 상기 제1 내부 제어신호(TRST)를 반전시켜 제2 내부 제어신호(TRSTB)를 출력한다.
- <142> 상기 제2 논리회로(70)는 데이터(D0)가 외부 클럭 신호에 동기되도록, 상기 데이터(D0)를 상기 외부 클럭 신호(CLKDQ)와 논리 연산하여 내부 데이터(DOI)를 출력한다.

- <143> 상기 제2 논리회로(70)는 인버터들(71, 73, 74)과 전송 게이트(72)를 포함한다. 상기 인버터(71)는 상기 데이터(D0)를 반전시킨다.
- <144> 상기 전송 게이트(72)의 게이트들 각각에는 외부 클럭 신호(CLKDQ) 및 외부 클럭 바 신호(CLKQDB)가 입력된다. 상기 외부 클럭 바 신호(CLKQDB)는 상기 외부 클럭 신호(CLKDQ)가 상기 인버터(63)를 통하여 반전된 신호이다.
- <145> 상기 전송 게이트(72)는 상기 외부 클럭 신호(CLKDQ) 및 상기 외부 클럭 바 신호(CLKQDB)에 의해 턴 온된다.
- <146> 상기 인버터(73)는 상기 전송 게이트(72)를 통하여 상기 인버터(71)로부터 출력되는 신호를 반전시켜 내부 데이터(D0I)를 출력한다. 또, 상기 인버터(74)는 상기 내부 데이터(D0I)를 반전시켜 상기 인버터(73)에 입력시킨다.
- <147> 상기 제3 논리회로(80)는 상기 제1 및 2 내부 제어신호들(TRST, TRSTB) 각각과 상기 내부 데이터(D0I)를 논리 연산하여 제어신호들(DOKN, DOKP)을 출력한다. 상기 제3 논리회로(80)는 NOR 게이트(81), NAND 게이트(83) 및 인버터들(82, 84)을 포함한다.
- <148> 상기 NOR 게이트(81)는 상기 제2 내부 제어신호(TRSTB)와 상기 내부 데이터 (D0I)를 논리 연산하고, 상기 인버터(82)는 상기 NOR 게이트(81)의 출력신호를 반전시켜 상기 제어신호(DOKP)를 출력한다.
- <149> 또, 상기 NAND 게이트(83)는 상기 제1 내부 제어신호(TRST)와 상기 내부 데이터 (D0I)를 논리 연산하고, 상기 인버터(84)는 상기 NAND 게이트(83)의 출력신호를 반전시켜 상기 제어신호(DOKN)를 출력한다.

- <150> 여기에서, 상기 제1 DQ 버퍼(161)와 상기 제2 DQ 버퍼(171)의 차이점은 상기 NAND 게이트(61)와 상기 인버터(71)에 입력되는 신호가 다르다는 것이다.
- <151> 좀 더 상세히 설명하면, 상기 NAND 게이트(61)에 입력되는 신호가 상기 제1 DQ 버퍼(161)인 경우에는 제1 출력 제어신호(RDDM1)이고, 상기 제2 DQ 버퍼(171)인 경우에는 제2 출력 제어신호(RDDM2)이다.
- <152> 또, 상기 인버터(71)에 입력되는 신호가 상기 제1 DQ 버퍼(161)인 경우에는 제1 그룹 내부 데이터(D00~D07))이고, 상기 제2 DQ 버퍼(171)인 경우에는 제2 그룹 내부 데이터(D08~D015)이다.
- <153> 상기 제1 및 제2 드라이버들(162, 172)은 각각 피모스 트랜지스터(91)와 엔모스 트랜지스터(92)를 포함한다.
- <154> 상기 피모스 트랜지스터(91)는 상기 제어신호(DOKP)를 게이트 입력으로 하고, 내부 전압(VDD)에 소스가 연결되고, 출력노드(NOUT)에 드레인이 연결된다.
- <155> 상기 엔모스 트랜지스터(92)는 상기 제어신호(DOKN)를 게이트 입력으로 하고, 그라운드에 소스가 연결되고, 상기 출력노드(NOUT)에 드레인이 연결된다.
- <156> 상기 제어신호들(DOKP, DOKN)에 의해 상기 피모스 트랜지스터(91)와 상기 엔모스 트랜지스터(92)가 각각 제어되어 상기 출력노드(NOUT)에 데이터(DQ)가 출력된다.
- <157> 상기 제어신호들(DOKP, DOKN)에 따른 상기 데이터(DQ)의 상태를 표로 나타내면 다음과 같다.
- <158>

【표 1】

DQ	DOKN	DOKP
HIGH	LOW	LOW
HI IMPEDANCE(HI-Z)	LOW	HIGH
forbidden	HIGH	LOW
LOW	HIGH	HIGH

<159> 상기 [표 1]에 나타낸 것과 같이, 상기 제어신호(DOKN)가 "로우"이고, 상기 제어신호(DOKP)가 "하이"인 경우 상기 출력노드(NOUT)는 하이 임피던스 상태(high impedance)로 되어 상기 데이터(DQ)가 출력되지 않는다.

<160> 여기에서, 상기 제1 및 제2 드라이버들(162, 172)의 차이점은 상기 출력노드(NOUT)로 출력되는 신호가 다르다는 것이다.

<161> 상기 출력노드(NOUT)로 출력되는 신호가 상기 제1 드라이버들(162)인 경우에는 제1 그룹 데이터(DQ0~DQ7))이고, 상기 제2 드라이버들(172)인 경우에는 제2 그룹 데이터(DQ8~DQ15)이다.

<162> 도 10은 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 DDR SDRAM들이 테스트 장비에 연결되는 상태를 나타내는 블록도이다.

<163> 도 10에 도시된 것과 같이, 테스트 장비(200)에는 다수개의 제어신호 출력핀들(210, 220)과 다수개의 데이터 입출력핀들(230)이 구비된다.

<164> DDR SDRAM(300)에는 다수개의 제어신호 입력핀들(310, 320)과 다수개의 입출력핀 그룹들(330, 340)이 구비된다. 상기 입출력핀 그룹들(330, 340) 각각은 다수개의 데이터 입출력핀들(331, 341)을 포함한다. 테스트를 위해, 상기 입출력핀 그룹(330)의 데이터

입출력핀들(331)과 상기 입출력핀 그룹(340)의 데이터 입출력핀들(341)은 상호 도선으로 연결된다.

<165> 상기 다수개의 제어신호 출력핀들(210)에는 다수개의 DDR SDRAM들(300)의 상기 제어신호 입력핀들(310)이 공통적으로 연결되고, 상기 제어신호 출력핀들(220)에는 상기 제어신호 입력핀들(320)이 공통적으로 연결된다.

<166> 상기 다수개의 데이터 입출력핀들(230)에는 다수개의 DDR SDRAM(300) 각각에서 하나의 그룹(330 또는 340)에 해당하는 데이터 입출력핀들(331 또는 341)만이 1:1로 각각 연결된다.

<167> 상기와 같이, 본 발명에 의하면, 데이터 입출력핀들의 각 그룹별로 데이터가 출력될 수 있기 때문에, DDR SDRAM의 다수개의 입출력핀 그룹들 중에서 하나의 그룹의 데이터 입출력핀들만이 테스트 장비의 입출력핀에 연결된다. 따라서, 테스트 장비에 연결되는 DDR SDRAM의 데이터 입출력핀 수가 감소되므로, 하나의 테스트 장비로 동시에 테스트 가능한 DDR SDRAM의 수가 증가될 수 있다.

<168> 도 11은 본 발명에 의한 테스트 효율을 향상시키기 위한 내부회로를 가지는 DDR SDRAM의 테스트 과정을 나타내는 플로우차트이다.

<169> 상기 플로우차트(1000)는 다음과 같은 과정들로 수행된다.

<170> 먼저, 다수개의 입출력핀들을 제1 및 제2 입출력핀 그룹을 포함하는 입출력핀 그룹으로 구분한다(1001). 그리고 상기 제1 입출력핀 그룹의 각 입출력핀을 나머지 입출력핀 그룹들의 각 입출력핀과 도선에 의해 1 대 1로 전기적으로 연결한다(1002).

- <171> 이 후, 상기 제1 입출력핀 그룹에 대응하는 제1 데이터 출력부들을 통하여 데이터를 독출한다(1003). 여기에서, 상기 제1 데이터 출력부 그룹에서 데이터가 출력될 때, 나머지 그룹의 데이터 출력부들은 하이 임피던스 상태로 되어 데이터가 출력되지 않는다.
- <172> 또, 상기 제2 입출력핀 그룹에 대응하는 제2 데이터 출력부들을 통하여 데이터를 독출한다(1004). 여기에서도 상기 단계(1003)와 마찬가지로, 나머지 그룹의 데이터 출력부들은 하이 임피던스 상태로 된다.
- <173> 다음으로, 추가의 입출력핀 그룹, 즉, 추가의 데이터 출력부 그룹이 존재하는지의 여부가 체크된다(1005). 추가의 입출력핀 그룹이 존재하는 경우 해당 입출력핀 그룹에 대응하는 데이터 출력부를 통하여 데이터를 독출 테스트가 수행되고 상기 단계(1005)로 리턴된다.
- <174> 또, 추가의 데이터 출력부 그룹이 존재하지 않는 경우 테스트를 종료한다.
- <175> 도 12는 도 11에 도시된 플로우차트의 테스트 과정을 보다 상세히 나타내는 플로우차트이다.
- <176> 상기 플로우차트(1100)는 다음과 같은 과정들로 수행된다.
- <177> 먼저, 테스트 장비에 의해 DDR SDRAM의 제어신호 입력핀(310)으로 테스트 모드의 진입을 위한 제어신호(C0, C1, ... CX)가 입력된다(1101). 커맨드 디코더(110)는 테스트 모드 진입을 위한 MRS 명령(MRS)을 출력한다(1102). 상기 MRS 명령(MRS)에 응답하여 입력버퍼 제어부(120)에서 출력된 제어신호(PBPUB)에 의해 제1 및 제2 입력 버퍼들(130, 140)이 턴 온된다(1103).

- <178> 다음으로, 테스트 장비에 의해 데이터 독출을 위한 제어신호가 상기 커맨드 디코더(110)에 입력된다(1104). 상기 커맨드 디코더(110)는 제1 데이터 독출명령(READ)을 출력한다(1105). 테스트 장비에 의해 상기 제1 및 상기 제2 입력 버퍼들(130, 140)들에 제1 및 제2 기입금지 신호(DM1, DM2)가 각각 입력된다(1106).
- <179> 상기 제1 및 상기 제2 입력 버퍼들(130, 140)은 상기 제1 및 상기 제2 기입제어 신호(DM1, DM2)에 응답하여 제1 및 제2 그룹 제어신호(DMT1, DMT2)를 출력한다. 제2 출력 제어부(152)는 상기 제1 그룹 제어신호(DMT1)에 응답하여 제2 출력 제어신호(RDDM1)를 출력하고, 상기 제3 출력 제어부(153)는 상기 제2 그룹 제어신호(DMT2)에 응답하여 제3 출력 제어신호(RDDM2)를 출력한다.
- <180> 상기 제2 및 제3 출력 제어신호들(RDDM1, RDDM2)에 의해, 데이터가 출력될 데이터 출력부 그룹을 제외한 나머지 데이터 출력부 그룹들이 하이 임피던스 상태로 된다(1107).
- <181> 데이터가 출력될 해당 데이터 출력부 그룹으로부터 데이터가 출력된다(1108).
- <182> 이 후, 추가의 데이터 독출을 위한 제어신호가 커맨드 디코더(110)에 입력되는지의 여부를 체크하여 입력되는 경우 상기 단계(1105)로 리턴하여 상기 과정들을 반복 수행한다(1109).
- <183> 추가의 데이터 독출을 위한 제어신호가 입력되지 않는 경우 데이터 독출 테스트를 종료한다.
- <184> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타

실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

<185> 상기한 것과 같이, 본 발명의 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치 및 그 테스트 방법에 의하면, 테스트 장비에 연결되는 반도체 메모리 장치의 데이터 입출력핀 수가 감소됨으로써 동시에 테스트 가능한 반도체 메모리 장치의 수가 증가 될 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

다수개의 제어신호 입력핀들을 구비하는 반도체 메모리 장치에 있어서,

제 1 및 제2 입출력핀 그룹을 포함하는 둘 이상의 입출력핀 그룹들로 나뉘어지는 다수개의 입출력핀들;

다수의 외부 입력신호에 응답하여 소정의 제어명령들을 출력하는 커맨드 디코더;

상기 제어명령에 응답하여 소정의 데이터 출력 제어 신호를 발생하는 데이터 출력 제어 신호 발생부; 및

상기 데이터 출력 제어 신호에 응답하여, 상기 제1 입출력핀 그룹의 입출력핀들과 상기 제2 입출력핀 그룹의 입출력핀들로 각각 데이터를 출력하기 위한 제1 및 제2 데이터 출력부 그룹들을 포함하는 다수의 데이터 출력부 그룹들을 구비하며,

상기 제1 데이터 출력부 그룹의 각 데이터 출력부는 상기 제2 데이터 출력부 그룹이 동작하여 데이터를 출력할 때에는 데이터 출력 동작을 하지 않고,

상기 제2 데이터 출력부 그룹의 각 데이터 출력부는 상기 제1 데이터 출력부 그룹이 동작하여 데이터를 출력할 때에는 데이터 출력 동작을 하지 않는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 2】

제1항에 있어서,

테스트를 위해, 상기 다수개의 입출력핀 그룹들간의 상기 다수개의 데이터 입출력핀들이 상호 도선으로 연결되고,

상기 다수개의 입출력핀 그룹들 중 하나의 입출력핀 그룹의 데이터 입출력핀들이 테스트 장비의 데이터 입출력핀들에 각각 연결되는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 3】

제1항에 있어서, 상기 데이터 출력 제어 신호 발생부는

상기 제어명령들 중 MRS 명령에 응답하여 제1 제어신호를 출력하는 입력버퍼 제어부;

상기 제1 제어신호에 응답하여 외부 기입금지 신호들이 입력될 때 제2 제어신호들을 출력하는 다수개의 입력버퍼들; 및

상기 제어명령들과 상기 제2 제어신호들에 응답하여 제3 제어신호들을 출력하는 데이터 출력 제어부를 포함하는 내부회로를 구비하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 4】

제3항에 있어서, 상기 입력버퍼 제어부는

상기 제어명령들 중 데이터 기입명령에 응답하여 입력버퍼 제어신호를 출력하는 제어신호 발생부; 및

상기 입력버퍼 제어신호와 상기 MRS 명령을 논리 연산하여 상기 제1 제어신호를 출력하는 논리회로를 구비하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 5】

제3항에 있어서,

상기 제2 제어신호들은 상기 다수개의 데이터 출력부 그룹들 중 제1 데이터 출력부 그룹의 데이터 출력을 제어하기 위한 제1 그룹 제어신호; 및

상기 다수개의 데이터 출력부 그룹들 중 제2 데이터 출력부 그룹의 데이터 출력을 제어하기 위한 제2 그룹 제어신호를 포함하며,

상기 제3 제어신호들은 전체 데이터 출력부들의 데이터 출력을 제어하기 위한 제1 출력 제어신호;

상기 제1 데이터 출력부 그룹의 데이터 출력을 제어하기 위한 제2 출력 제어신호; 및

상기 제2 데이터 출력부 그룹의 데이터 출력을 제어하기 위한 제3 출력 제어신호를 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 6】

제5항에 있어서, 상기 다수개의 입력 버퍼들은

상기 기입금지 신호들 중 제1 기입금지 신호가 입력될 때 상기 제1 그룹 제어신호를 출력하는 제1 입력 버퍼; 및

상기 기입금지 신호들 중 제2 기입금지 신호가 입력될 때 상기 제2 그룹 제어신호를 출력하는 제2 입력 버퍼를 구비하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 7】

제6항에 있어서, 상기 제1 및 제2 입력 버퍼들 각각은

상기 제1 제어신호에 응답하여 제1 전압레벨을 갖는 상기 기입금지 신호를 소정의 기준전압과 비교하여 제어노드로 제2 전압레벨을 갖는 상기 그룹 제어신호를 발생하는 전압비교회로; 및

상기 제1 제어신호에 응답하여 상기 전압비교회로가 턴 오프 상태일 때 상기 그룹 제어신호를 그라운드 전압레벨로 출력하는 출력제어회로를 구비하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 8】

제5항에 있어서, 상기 데이터 출력 제어부는

상기 제어명령들 중 데이터 독출 명령에 응답하여 상기 제1 출력 제어신호를 출력하는 제1 출력 제어부;

상기 MRS 명령 및 상기 제1 그룹 제어신호에 응답하여 상기 제2 출력 제어신호를 출력하는 제2 출력 제어부; 및

상기 MRS 명령 및 상기 제2 그룹 제어신호에 응답하여 상기 제3 출력 제어신호를 출력하는 제3 출력 제어부를 구비하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 9】

제8항에 있어서, 상기 다수개의 데이터 출력부 그룹들은

상기 제1 및 상기 제2 출력 제어신호에 응답하여 제1 그룹 데이터를 출력하는 제1 데이터 출력부; 및

상기 제1 및 상기 제3 출력 제어신호에 응답하여 제2 그룹 데이터를 출력하는 제2 데이터 출력부를 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 10】

제9항에 있어서,

상기 제1 데이터 출력부는 상기 제1 및 제2 출력 제어신호에 응답하여 다수의 제4 제어신호들을 출력하는 다수개의 제1 DQ 버퍼들; 및

상기 다수의 제4 제어신호들에 응답하여 상기 제1 그룹 데이터를 출력하는 다수개의 제1 드라이버들을 포함하고,

상기 제2 데이터 출력부는 상기 제1 및 제3 출력 제어신호에 응답하여 다수의 제5 제어신호들을 출력하는 다수개의 제2 DQ 버퍼들; 및

상기 다수의 제5 제어신호들에 응답하여 상기 제2 그룹 데이터를 출력하는 다수개의 제2 드라이버들을 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 11】

제10항에 있어서,

상기 제1 드라이버들 각각은 상기 제4 제어신호들에 응답하여 하이 임피던스 상태로 되며,

상기 제2 드라이버들 각각은 상기 제5 제어신호들에 응답하여 하이 임피던스 상태로 되는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 12】

제5항에 있어서,

상기 다수개의 입출력핀 그룹들 각각은 다수개의 서브 입출력핀 그룹들을 더 포함하고,

상기 다수개의 서브 입출력핀 그룹들 각각이 다수개의 데이터 입출력핀들을 포함하며,

상기 제1 데이터 출력부 그룹은 다수개의 제1 서브 데이터 출력부 그룹들을 포함하고,

상기 제2 데이터 출력부 그룹은 다수개의 제2 서브 데이터 출력부 그룹들을 포함하며,

상기 다수개의 제1 및 제2 서브 데이터 출력부 그룹들 각각은 상기 다수개의 서브 입출력핀 그룹들 각각에 연결되는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 13】

제12항에 있어서,

테스트를 위해, 상기 다수개의 서브 입출력핀 그룹들간의 상기 다수개의 데이터 입출력핀들이 상호 도선으로 연결되고,

상기 다수개의 서브 입출력핀 그룹들 중 하나의 서브 입출력핀 그룹의 데이터 입출력핀들이 테스트 장비의 데이터 입출력핀들에 각각 연결되는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 14】

제12항에 있어서,

상기 제1 그룹 제어신호는 상기 다수개의 제1 서브 데이터 출력부 그룹들의 데이터 출력을 제어하기 위한 제1 서브 그룹 제어신호들을 포함하고,

상기 제2 그룹 제어신호는 상기 다수개의 제2 서브 데이터 출력부 그룹들의 데이터 출력을 제어하기 위한 제2 서브 그룹 제어신호들을 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 15】

제14항에 있어서,

상기 제2 출력 제어신호는 상기 다수개의 제1 서브 데이터 출력부 그룹들의 데이터 출력을 제어하기 위한 제1 서브 출력 제어신호들을 포함하고,

상기 제3 출력 제어신호는 상기 다수개의 제2 서브 데이터 출력부 그룹들의 데이터 출력을 제어하기 위한 제2 서브 출력 제어신호들을 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 16】

제8항 또는 제15항에 있어서,

상기 제2 출력 제어부는 상기 MRS 명령 및 상기 제1 서브 그룹 제어신호들 각각에 응답하여 상기 제1 서브 출력 제어신호들을 각각 출력하는 다수의 제2 서브 출력 제어부들을 포함하고,

상기 제3 출력 제어부는 상기 MRS 명령 및 상기 제2 서브 그룹 제어신호들 각각에 응답하여 상기 제2 서브 출력 제어신호들을 각각 출력하는 다수의 제3 서브 출력 제어부들을 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 17】

제1항에 있어서, 상기 반도체 메모리 장치는 디디알 에스디램인 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치.

【청구항 18】

다수개의 제어신호 입력핀들, 다수개의 입출력핀들 및 상기 다수개의 입출력핀들 각각에 대응하는 데이터 출력부들을 구비하는 반도체 메모리 장치의 테스트 방법에 있어서,

(a) 상기 다수개의 입출력 핀들을 제1 및 제2 입출력핀 그룹을 포함하는 둘 이상의 입출력핀 그룹으로 구분하는 단계;

(b) 상기 제1 입출력핀 그룹의 각 입출력 핀을 상기 제2 입출력핀 그룹의 각 입출력 핀과 1대 1로 전기적으로 연결하는 단계;

(c) 상기 제1 입출력핀 그룹의 각 입출력핀에 대응하는 상기 데이터 출력부들을 통해 데이터를 독출하는 단계; 및

(d) 상기 제2 입출력핀 그룹의 각 입출력핀에 대응하는 상기 데이터 출력부들을 통해 데이터를 독출하는 단계를 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치의 테스트 방법.

【청구항 19】

제18항에 있어서,

(e) 추가의 데이터 출력부 그룹이 존재하는 경우, 해당 데이터 출력부 그룹으로부터 데이터를 독출하는 단계를 더 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치의 테스트 방법.

【청구항 20】

제18항에 있어서, 상기 (c) 단계는

(f) 테스트 모드 제어신호가 입력될 때 MRS 명령이 출력되는 단계;

(g) 상기 MRS 명령에 응답하여 입력버퍼들이 턴 온되는 단계;

(h) 데이터 독출 제어신호가 입력될 때 제1 데이터 독출명령이 출력되는 단계;

(i) 상기 기입금지 신호가 입력되면 데이터가 출력될 부분을 제외한 나머지 데이터 출력부 그룹이 하이 임피던스 상태로 되는 단계; 및

(j) 해당 데이터 출력부 그룹으로부터 데이터가 출력되는 단계를 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치의 테스트 방법.

【청구항 21】

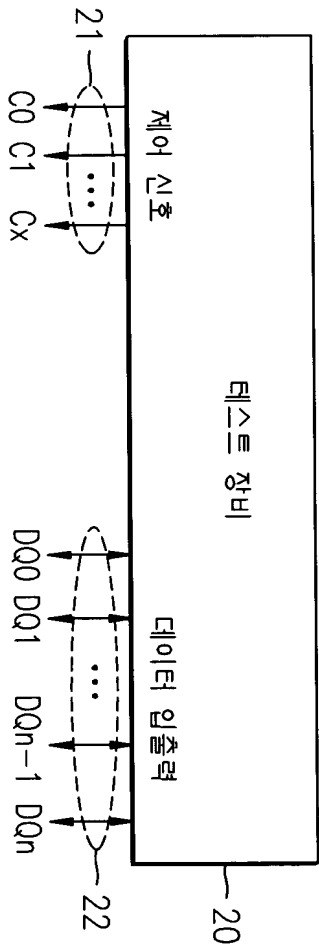
제20항에 있어서, 상기 (d) 단계는

(k) 추가의 데이터 독출 제어신호가 입력될 때 제2 데이터 독출명령이 출력되는 단계;

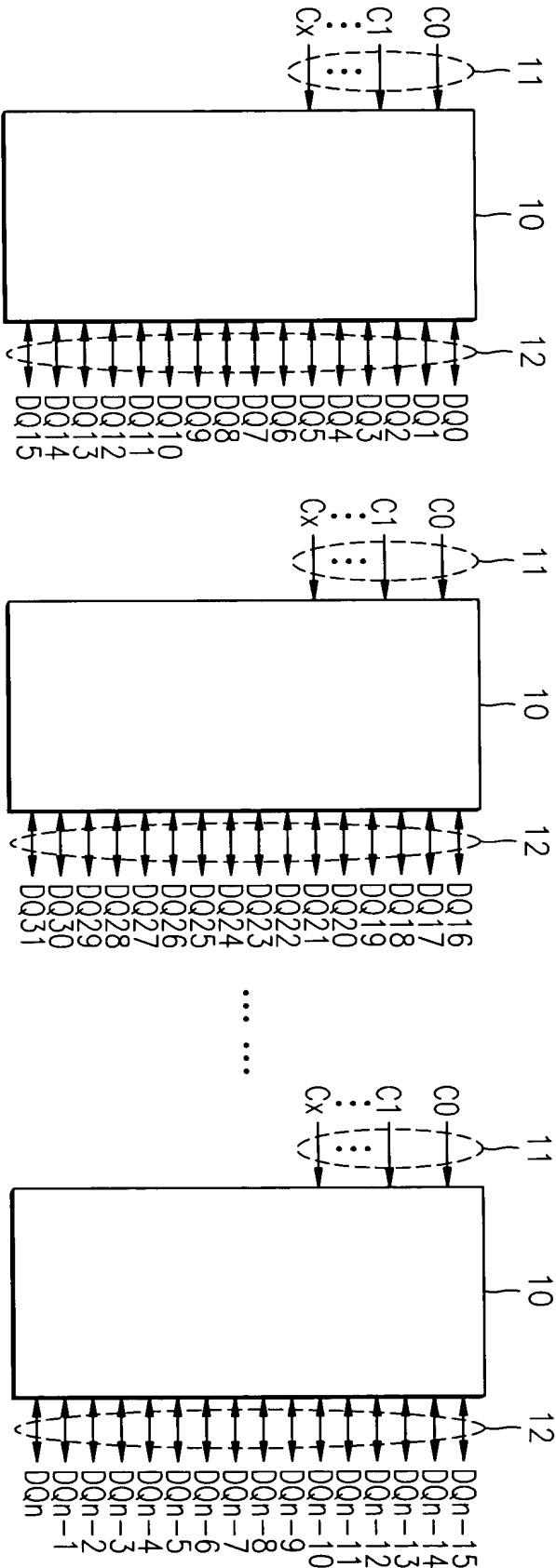
(l) 상기 기입금지 신호에 의해 상기 제1 입출력핀 그룹의 제1 DQ 버퍼들이 하이 임피던스 상태로 되고, 동시에 상기 제2 입출력핀 그룹의 제2 DQ 버퍼들이 로우 임피던스 상태로 되는 단계; 및

(m) 상기 (i) 및 (j) 단계를 반복 수행하는 단계를 포함하는 것을 특징으로 하는 테스트 효율을 향상시키기 위한 내부회로를 가지는 반도체 메모리 장치의 테스트 방법.

【도면】



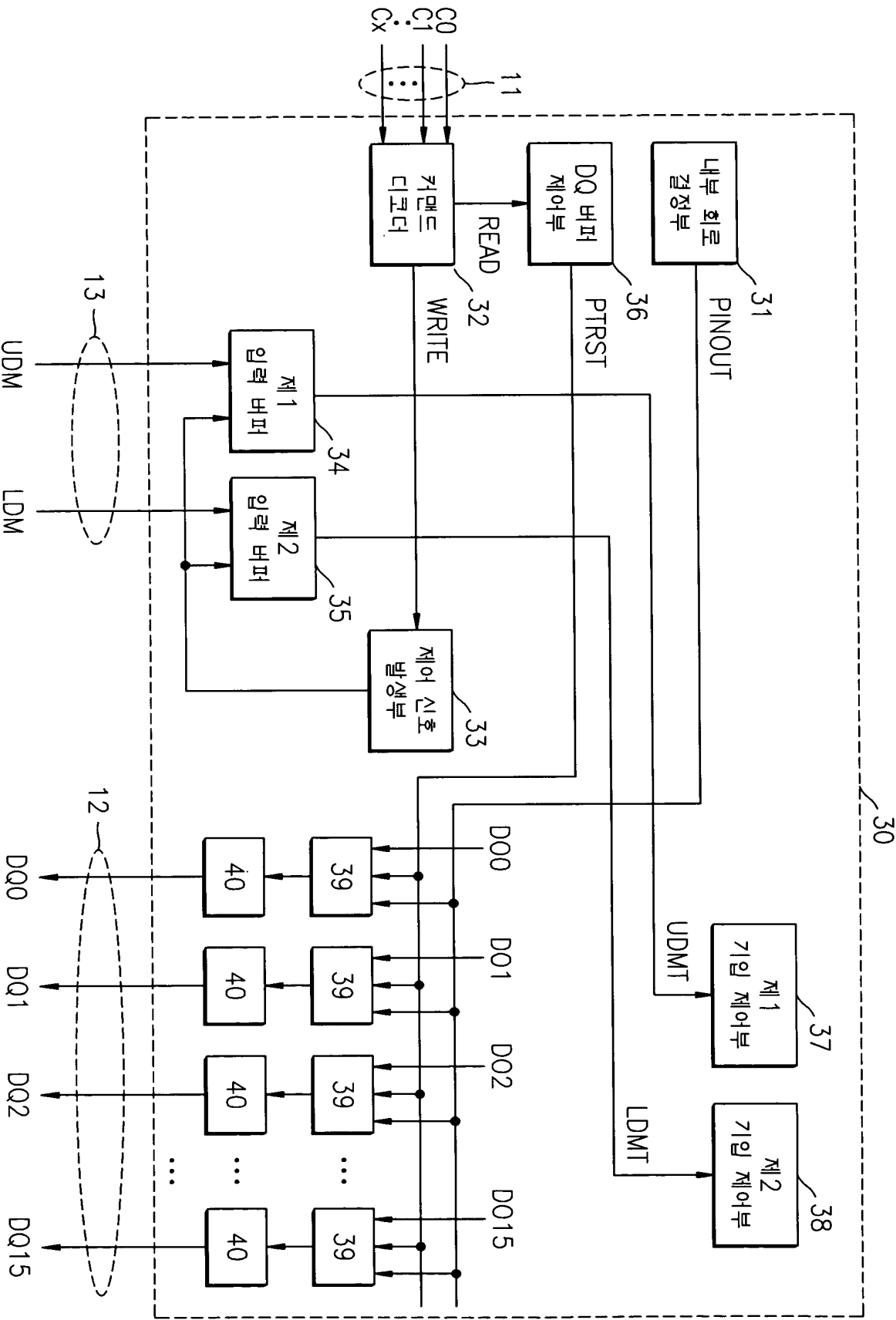
【도 1】



1020020051532

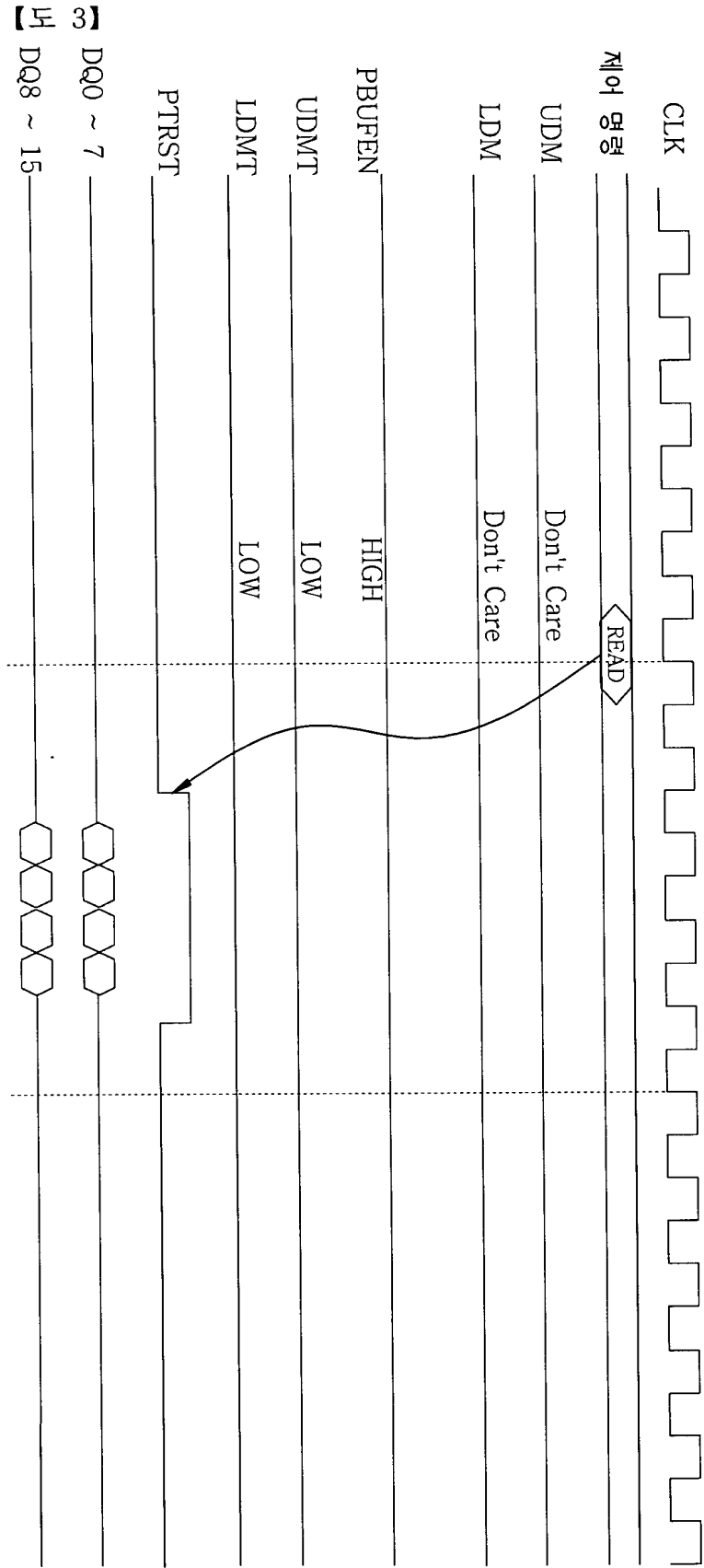
출력 일자: 2002/10/24

【도 2】



1020020051532

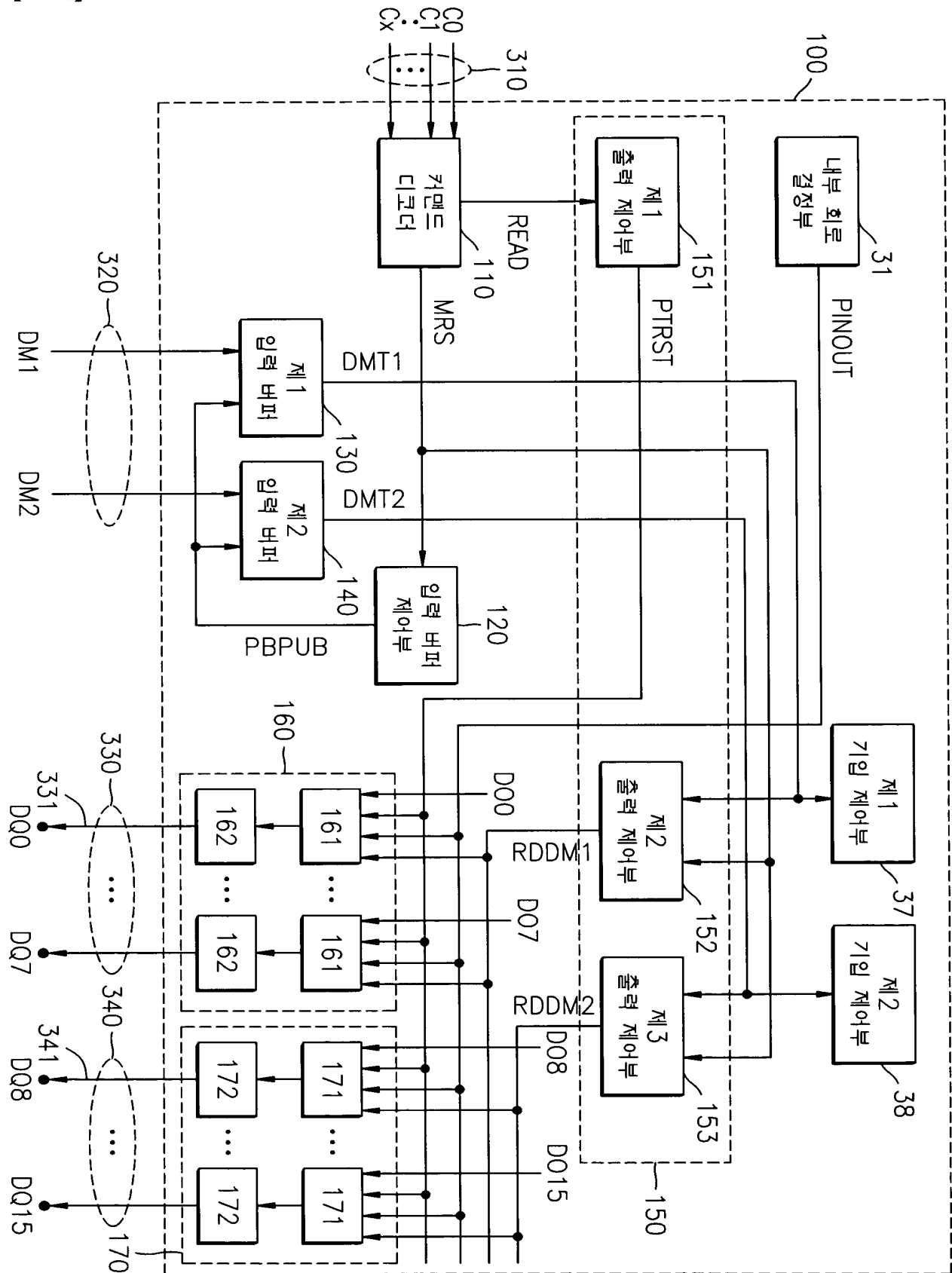
출력 일자: 2002/10/24



1020020051532

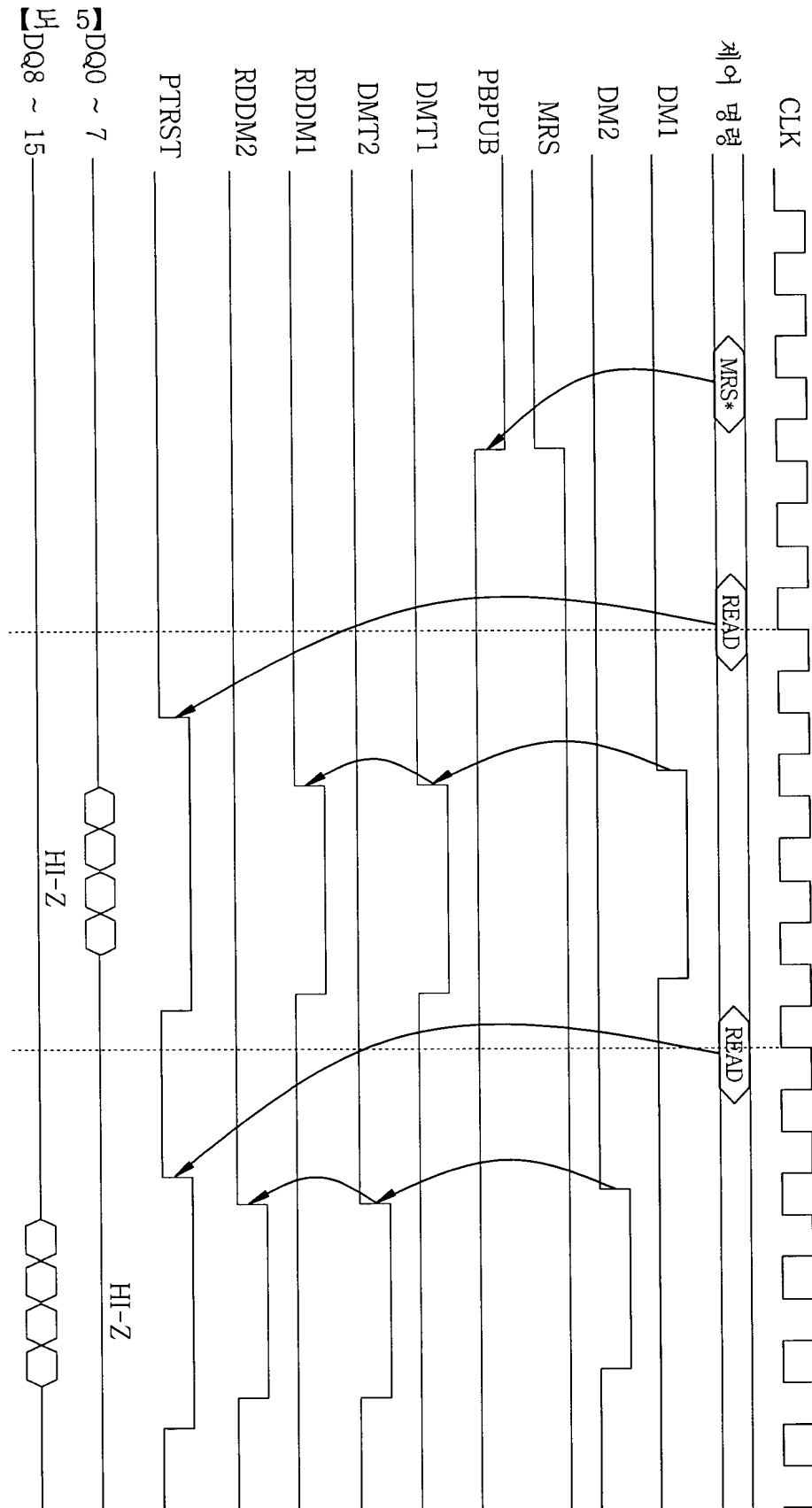
출력 일자: 2002/10/24

【도 4】

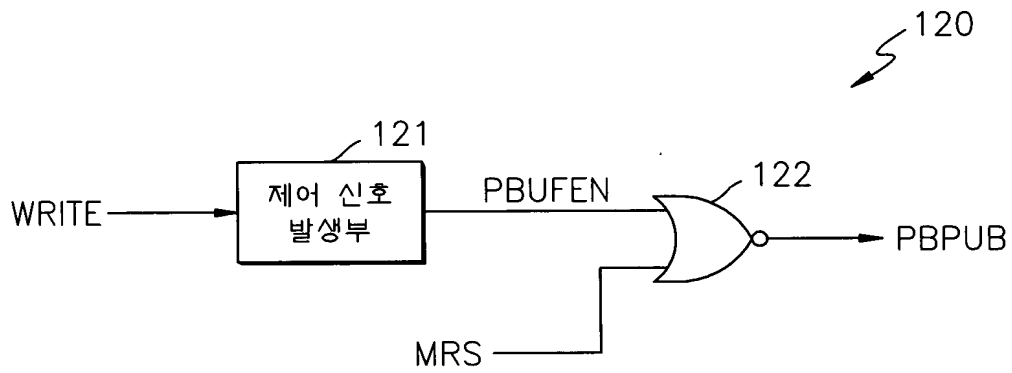


1020020051532

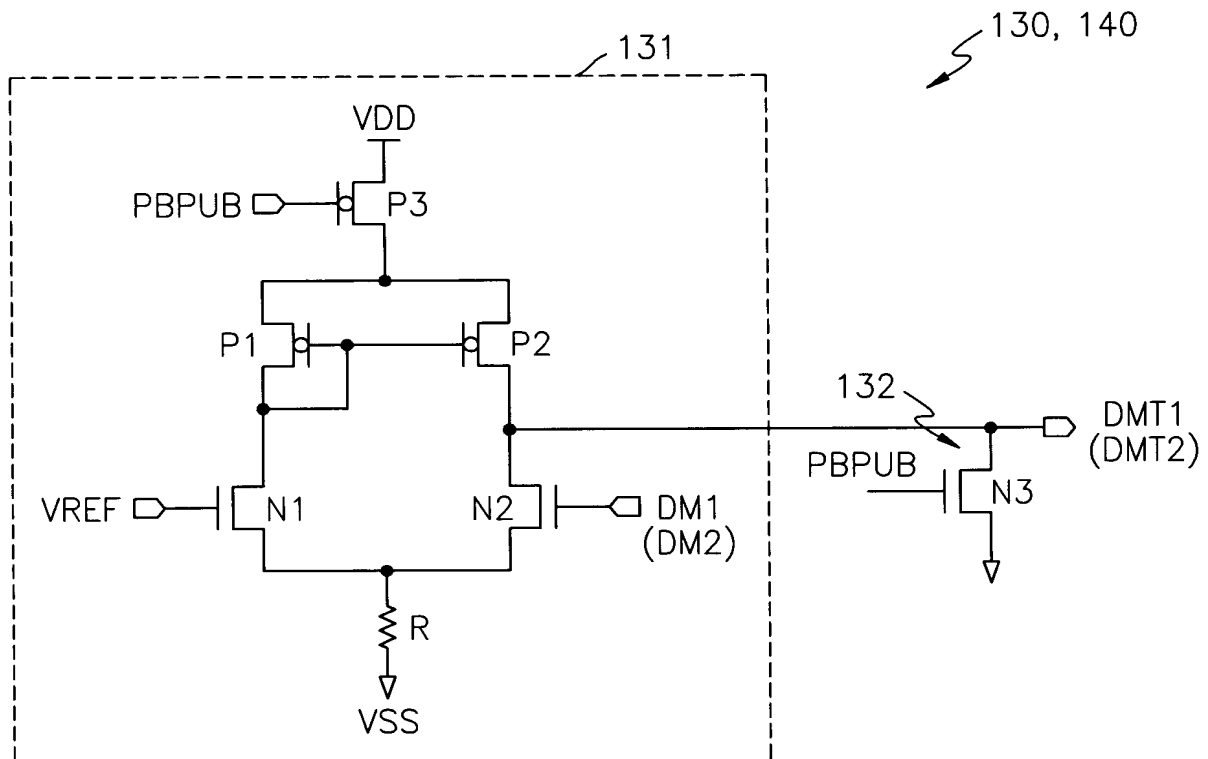
출력 일자: 2002/10/24



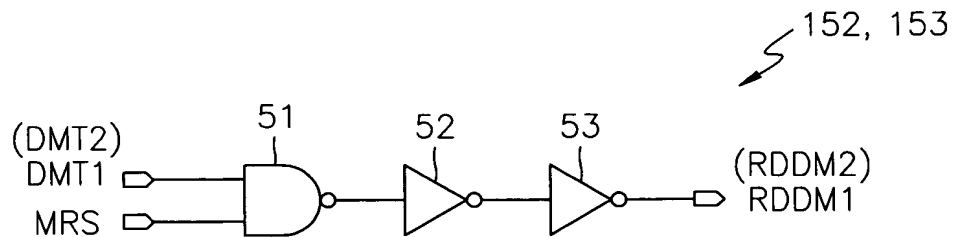
【도 6】



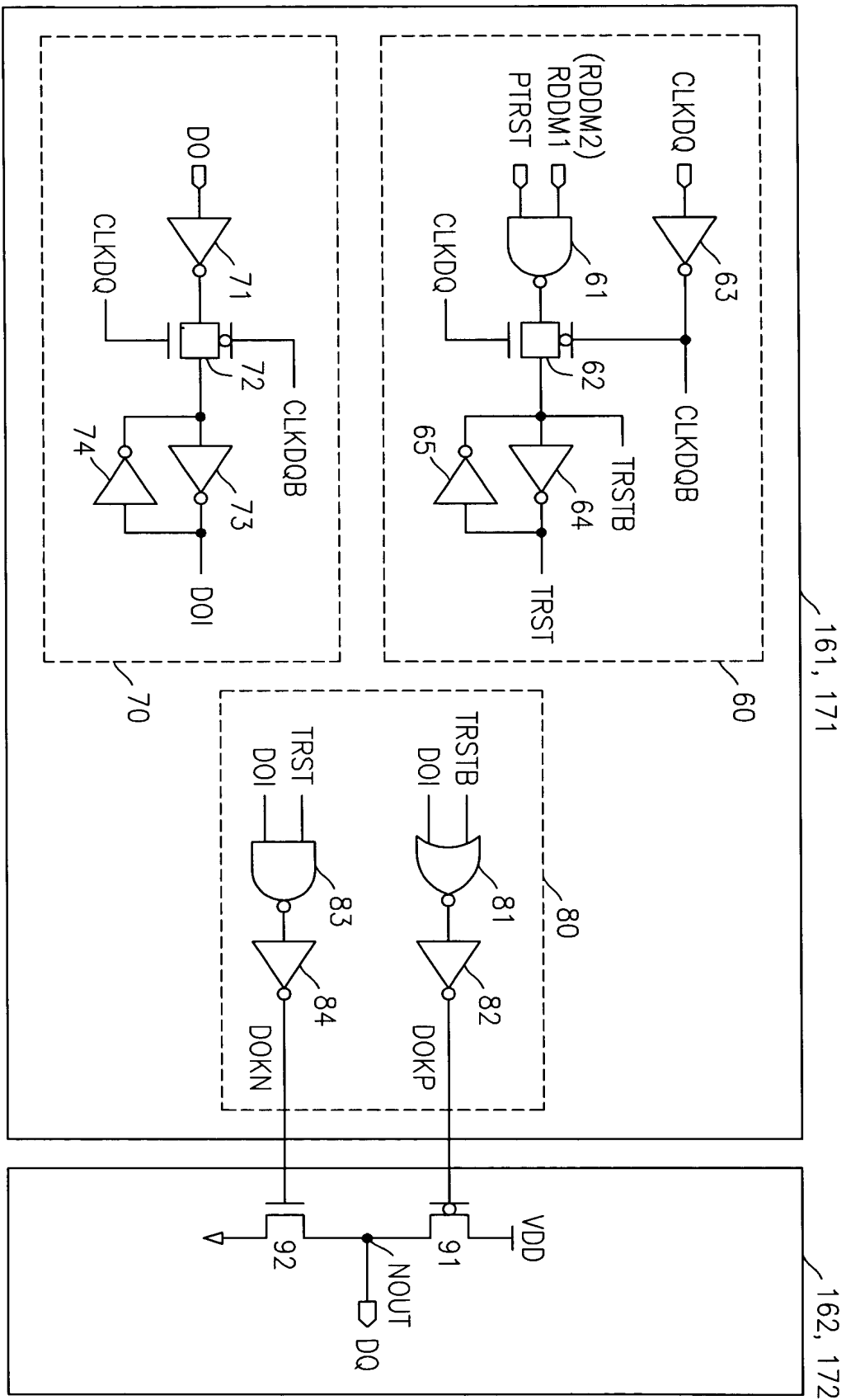
【도 7】



【도 8】

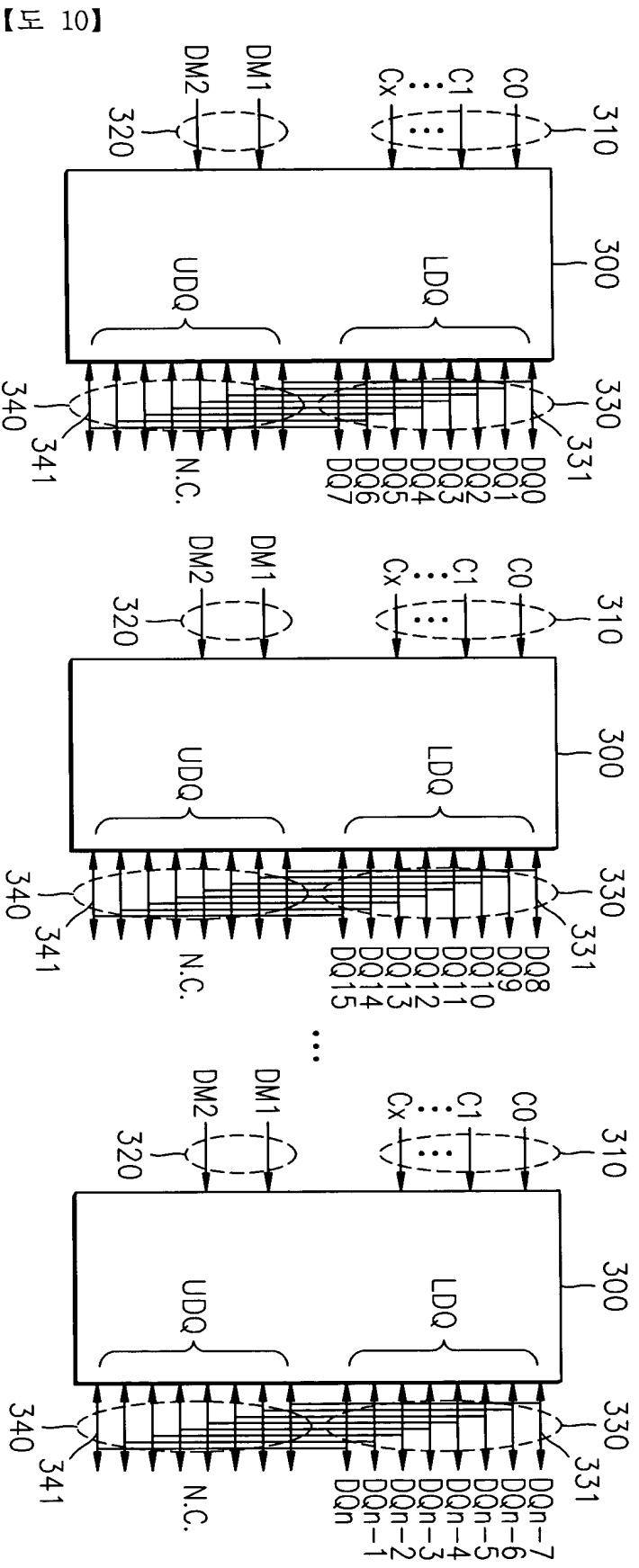
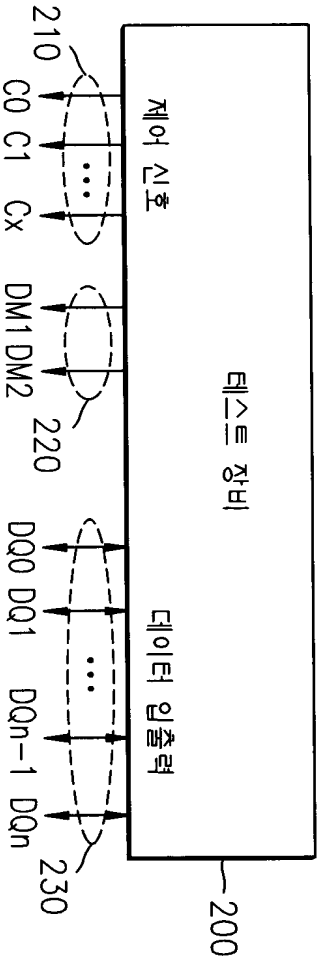


【도 9】



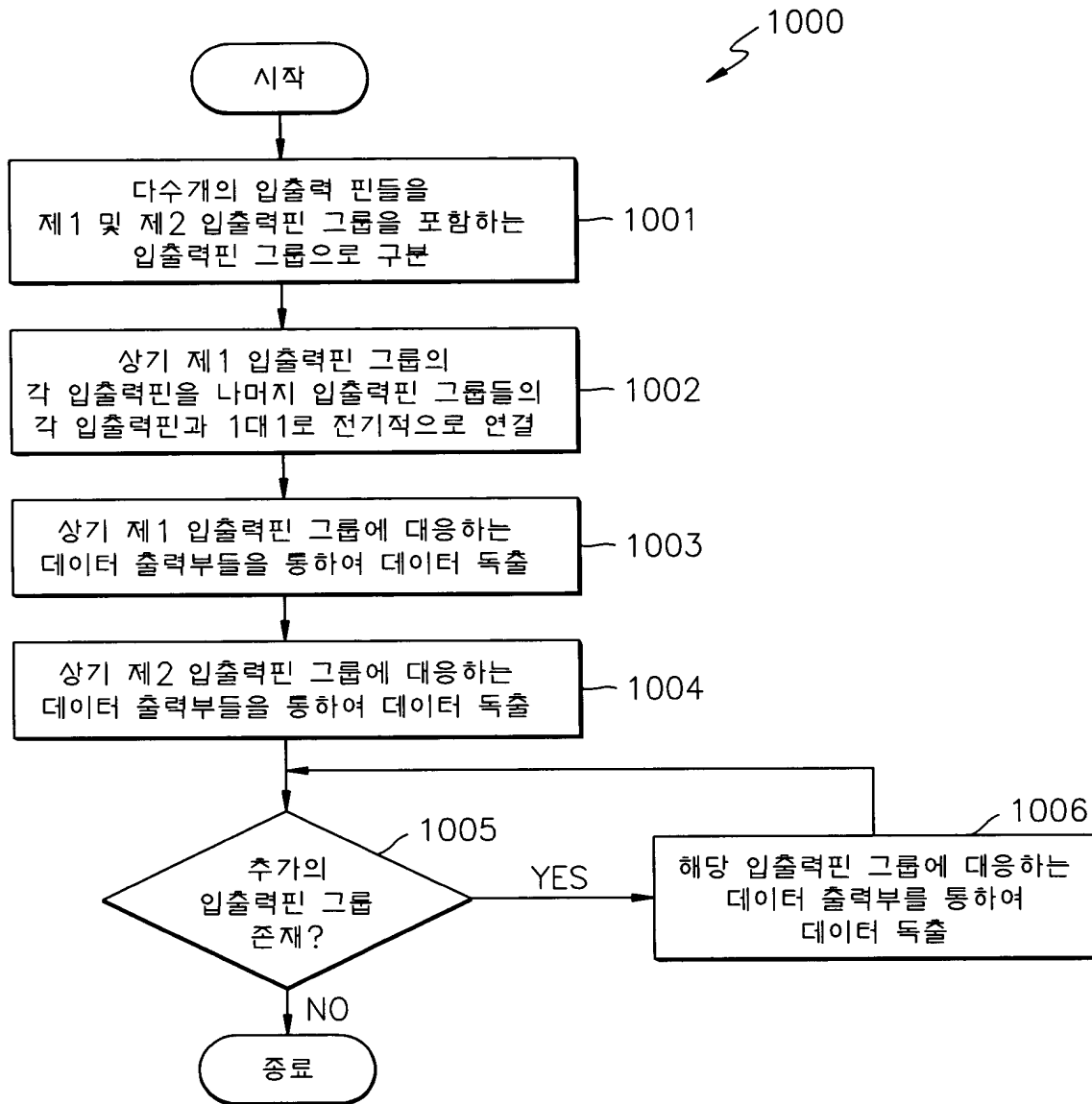
1020020051532

출력 일자: 2002/10/24



【표 10】

【도 11】



【도 12】

